

# IDS REFERENCES



FOR

# OPTOELECTRONIC INTEGRATED CIRCUIT AND ITS PRODUCTION

**Publication number:** JP2000235127

**Publication date:** 2000-08-29

**Inventor:** TSUDA HIROYUKI; NAKAHARA TATSUSHI;  
SAKAMOTO TAKASHI; AMANO CHIKARA; HIKITA  
MAKOTO; TOMARU AKIRA; ENBUTSU KOUJI

**Applicant:** NIPPON TELEGRAPH & TELEPHONE

**Classification:**

**- International:** *H01L33/00; G02B6/122; G02B6/13; G02B6/42;  
G02B6/43; H01L27/15; H01L31/0232; H01L31/12;  
H01L33/00; G02B6/122; G02B6/13; G02B6/42;  
G02B6/43; H01L27/15; H01L31/0232; H01L31/12;*  
(IPC1-7): G02B6/122; G02B6/13; H01L31/0232;  
H01L31/12; H01L33/00

**- European:** G02B6/42; G02B6/43

**Application number:** JP19990036405 19990215

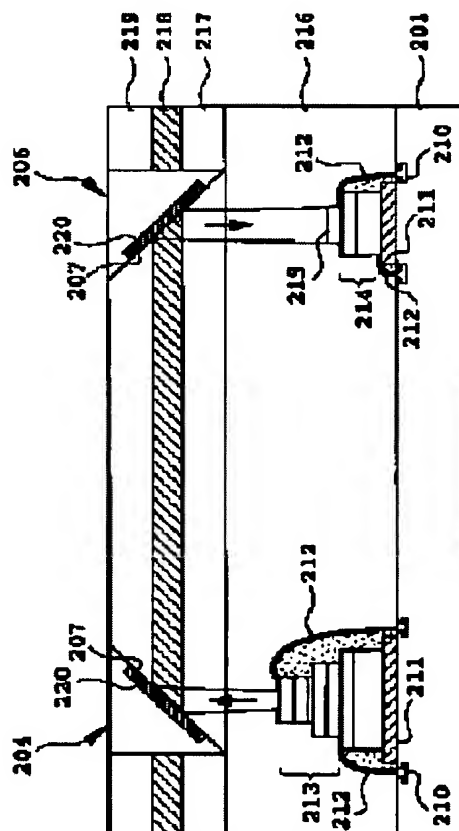
**Priority number(s):** JP19990036405 19990215

[Report a data error here](#)

## Abstract of JP2000235127

**PROBLEM TO BE SOLVED:** To produce an optoelectronic integrated circuit with high accuracy at a low cost which enables fast signal processing in large capacity.

**SOLUTION:** This optical waveguide circuit consists of an optoelectronic combined circuit substrate 201 in which electronic devices and optical devices are integrated, and at least one optical waveguide layer consisting of a flattening polymer layer 216, polymer lower clad layer 217, polymer core layer 218 and polymer upper clad layer 219 laminated on the substrate. The optical waveguide layer has an optical waveguide and an optical path converting part 207.



Data supplied from the [esp@cenet](#) database - Worldwide

(11)特許出願公開番号  
特開2000-235127  
(P2000-235127A)

(43)公開日 平成12年8月29日(2000.8.29)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
G 0 2 B 6/122		G 0 2 B 6/12	B 2 H 0 4 7
6/13		H 0 1 L 31/12	E 5 F 0 4 1
H 0 1 L 31/0232		33/00	M 5 F 0 8 8
31/12		G 0 2 B 6/12	M 5 F 0 8 9
33/00		H 0 1 L 31/02	C

審査請求 有 請求項の数 3 O L (全 15 頁)

(21)出願番号 特願平11-36405

(22)出願日 平成11年2月15日(1999.2.15)

(71)出願人 000004226

日本電信電話株式会社  
東京都千代田区大手町二丁目3番1号

(72)発明者 津田 裕之

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72)発明者 中原 達志

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(74) 代理人 100077481

弁理士 谷 義一 (外1名)

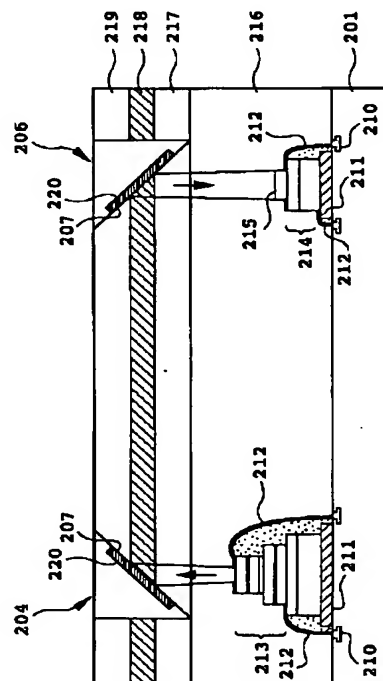
**最終頁に続く**

(54) 【発明の名称】 光電子集積回路およびその作製方法

(57) 【要約】

【課題】 大容量で高速な信号処理が行える光電子集積回路を、高精度にかつ低コストに作製すること。

【解決手段】 電子素子と光素子とを集積化した光電融合回路基板２０１上に、平坦化ポリマー層２１６とポリマー下部クラッド層２１７とポリマーコア層２１８とポリマー上部クラッド層２１９とからなる少なくとも１つの光導波路層を積層し、光導波路層内に光導波路および光路変換部２０７からなる光導波路回路を設けた。



## 【特許請求の範囲】

【請求項 1】 電子素子と光素子とを集積化した光電融合回路基板上に、光導波路回路が直接組み立てられた光電子集積回路であって、

前記光電融合回路基板上に、平坦化ポリマー層とポリマー下部クラッド層とポリマーコア層とポリマー上部クラッド層とからなる少なくとも 1 つの光導波路層を積層して設け、

前記光導波路層内に、前記光素子と光接続を行うための光導波路と光路変換部とにより構成された光導波路回路を具えたことを特徴とする光電子集積回路。

【請求項 2】 前記平坦化ポリマー層と前記ポリマー下部クラッド層とを 1 層で兼用することを特徴とする請求項 1 記載の光電子集積回路。

【請求項 3】 電子素子と光素子とが集積化された光電融合回路基板上に、光配線用の光導波路回路を直接形成することによって、光電子集積回路を作製方法であって、

前記光電融合回路基板上にモノマーあるいはオリゴマーを塗布して平坦化ポリマー層を形成する工程と、

前記平坦化ポリマー層上にモノマーあるいはオリゴマーを塗布してポリマー下部クラッド層を形成する工程と、

前記ポリマー下部クラッド層上にモノマーあるいはオリゴマーを塗布してポリマーコア層を形成する工程と、

前記ポリマーコア層をパターンニングして導波パターンを形成する工程と、

前記パターンニングされた導波パターン上にモノマーあるいはオリゴマーを塗布して該導波パターンを埋め込み、ポリマー上部クラッド層を形成する工程と、

前記導波パターンおよび該導波パターンに隣接する層の領域をエッチングして、該導波パターン中に光路変換部を形成する工程とを具え、

前記光電融合回路基板上に、前記ポリマー下部クラッド層と前記導波パターンと前記ポリマー上部クラッド層とからなる光導波路、および、前記光路変換部を有する光導波路回路を直接形成したことを特徴とする光電子集積回路の作製方法。

【請求項 4】 電子素子と光素子とが集積化された光電融合回路基板上に、光配線用の光導波路回路を直接形成することによって、光電子集積回路を作製する方法であって、

前記光電融合回路基板上にモノマーあるいはオリゴマーを塗布して平坦化ポリマー層を形成する工程と、

前記平坦化ポリマー層上にモノマーあるいはオリゴマーを塗布してポリマー下部クラッド層を形成する工程と、

前記ポリマー下部クラッド層上に感光性材料のモノマーあるいはオリゴマーを塗布してポリマーコア層を形成すると同時に、パターンニングして導波パターンを形成する工程と、

前記パターンニングされた導波パターン上にモノマーあ

るいはオリゴマーを塗布して該導波パターンを埋め込み、ポリマー上部クラッド層を形成する工程と、

前記導波パターンおよび該導波パターンに隣接する層の領域をエッチングして、該導波パターン中に光路変換部を形成する工程とを具え、

前記光電融合回路基板上に、前記ポリマー下部クラッド層と前記導波パターンと前記ポリマー上部クラッド層とからなる光導波路、および、前記光路変換部を有する光導波路回路を直接形成したことを特徴とする光電子集積回路の作製方法。

【請求項 5】 前記平坦化ポリマー層と前記ポリマー下部クラッド層とを 1 層で兼用することを特徴とする請求項 3 又は 4 記載の光電子集積回路の作製方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、電子素子と光素子とを集積化した回路基板と該回路基板上に光接続された光導波路回路とを有する光電子集積回路およびその作製方法に関し、特に、大容量の信号処理を行うことが可能な光電子集積回路およびその作製方法に関する。

## 【0002】

【従来技術】従来、集積回路内におけるノイズ発生、信号遅延等を抑制するために、金属配線に代わって光導波路による光配線を用いた光集積回路が注目されている。

【0003】この種の光集積回路には、例えば、図 16 に示すように、基板 1 上に光導波路 3 と発光素子 4 と受光素子 10 とが形成されたモノリシック集積による光電子集積回路がある（特開昭 59-75656 号公報参照）。

【0004】また、図 17 に示すように、光導波路 107 を有する光接続基板 103 と、受光素子 102 を有する集積回路チップ 101（LSI 基板）とをハイブリッド集積した光電子集積回路がある（特開平 6-45584 号公報参照）。

## 【0005】

【発明が解決しようとする課題】前者の例は、通常 GaAs 基板や InP 基板に格子整合する材料の組み合わせ、例えば GaAs/Al<sub>x</sub>Ga<sub>1-x</sub>As、InP/In<sub>x</sub>Ga<sub>1-x</sub>As<sub>y</sub>P<sub>1-y</sub>（x=0.47y 程度）の直接遷移型材料系の導波路を基板上に形成することによって作製される。

【0006】この場合、格子整合条件からずれると内部応力が発生し、極端な場合は結晶内に転位や欠陥が発生して、素子寿命が短くなる場合が多く、非格子整合条件／材料組み合わせは、ごく薄い（1000オングストローム以下程度）層以外には用いることは困難である。

【0007】このように、導波路のモノリシックな集積を行うために、多くの制約、例えば、多数の再成長工程に伴う形状的制約、再成長可能な材料的制約、発光波長及び受光波長の制約がある。近年における信号処理用集

10

20

30

40

50

積回路の多くはシリコン系集積回路であるが、間接遷移のシリコンでは発光素子を製作できず、受光素子との組み合わせに限定される。

【0008】一方、後者の例においては、光接続基板103と受光素子102を持つ集積回路チップ101（LSI基板）との正確な位置調整を行い、配置するための実装上の困難が多い。また、光接続基板103と集積回路チップ101とは、個別に組み立て作業を行うため、複数の光電子集積回路を同時に製作することができない。これらは物理的な制約ではないが、非常に高コストな光電子集積回路になり、実用的ではない。

【0009】ここで、電子回路基板上に光素子をハイブリッド集積する場合の問題点を例に挙げて説明する。

【0010】例えば、電子回路基板に受光素子ないし発光素子をハイブリッド集積する方法として、半田バンブ技術がある。

【0011】しかし、この技術を用いた方法では、受光素子あるいは発光素子を小さいチップにして半田を用いて接着するが、以下の問題点（1）～（3）がある。

【0012】（1）劈開やスクライブでは、100ミクロン×100ミクロン×100ミクロンよりも小さなチップを作ることが大変困難である。このため、品種の異なる（受光素子と発光素子のような）チップを同一の電子回路基板に集積することができない。

【0013】（2）光を受光素子ないし発光素子の基板側から入出力するため、使用する波長帯で透明な基板を用いるかあるいは不要基板部分を除去する必要がある。

（1）の方法では、受光ないし発光素子の選択に大きな制限を受ける。また、（2）の方法では、電子回路基板や半田層が露出しているので、それらにダメージを与えずに除去することが困難である。

【0014】（3）半田層や、受光素子、発光素子の基板の厚さにより、電子回路基板の凹凸が少なくとも100～200ミクロンとなるため、その上部を平坦化して導波路層を形成することは不可能である。また、導波路面と、受光面及び発光面との距離が100～200ミクロン以上となるため、レンズ手段を介在させないと、高い結合効率を得ることが原理的に不能である。

【0015】そこで、本発明の目的は、大容量で高速の信号処理を行える高性能な光電子集積回路を提供すると共に、高精度かつ低コストな光電子集積回路の作製方法を提供することにある。

【0016】

【課題を解決するための手段】本発明は、電子素子と光素子とを集積化した光電融合回路基板上に、光導波路回路が直接組み立てられた光電子集積回路であって、前記光電融合回路基板上に、平坦化ポリマー層とポリマー下部クラッド層とポリマーコア層とポリマー上部クラッド層とからなる少なくとも1つの光導波路層を積層して設け、前記光導波路層内に、前記光素子と光接続を行うた

めの光導波路と光路変換部とにより構成された光導波路回路を具えることによって、光電子集積回路を構成する。

【0017】また、本発明は、電子素子と光素子とが集積化された光電融合回路基板上に、光配線用の光導波路回路を直接形成することによって、光電子集積回路を作製する方法であって、前記光電融合回路基板上にモノマーあるいはオリゴマーを塗布して平坦化ポリマー層を形成する工程と、前記平坦化ポリマー層上にモノマーあるいはオリゴマーを塗布してポリマー下部クラッド層を形成する工程と、前記ポリマー下部クラッド層上にモノマーあるいはオリゴマーを塗布してポリマーコア層を形成する工程と、前記ポリマーコア層をパターンニングして導波パターンを形成する工程と、前記パターンニングされた導波パターン上にモノマーあるいはオリゴマーを塗布して該導波パターンを埋め込み、ポリマー上部クラッド層を形成する工程と、前記導波パターンおよび該導波パターンに隣接する層の領域をエッチングして、該導波パターン中に光路変換部を形成する工程とを具え、前記光電融合回路基板上に、前記ポリマー下部クラッド層と前記導波パターンと前記ポリマー上部クラッド層とからなる光導波路、および、前記光路変換部を有する光導波路回路を直接形成することによって、光電子集積回路の作製方法を提供する。

【0018】また、本発明は、電子素子と光素子とが集積化された光電融合回路基板上に、光配線用の光導波路回路を直接形成することによって、光電子集積回路を作製する方法であって、前記光電融合回路基板上にモノマーあるいはオリゴマーを塗布して平坦化ポリマー層を形成する工程と、前記平坦化ポリマー層上にモノマーあるいはオリゴマーを塗布してポリマー下部クラッド層を形成する工程と、前記ポリマー下部クラッド層上に感光性材料のモノマーあるいはオリゴマーを塗布してポリマーコア層を形成すると同時に、パターンニングして導波パターンを形成する工程と、前記パターンニングされた導波パターン上にモノマーあるいはオリゴマーを塗布して該導波パターンを埋め込み、ポリマー上部クラッド層を形成する工程と、前記導波パターンおよび該導波パターンに隣接する層の領域をエッチングして、該導波パターン中に光路変換部を形成する工程とを具え、前記光電融合回路基板上に、前記ポリマー下部クラッド層と前記導波パターンと前記ポリマー上部クラッド層とからなる光導波路、および、前記光路変換部を有する光導波路回路を直接形成することによって、光電子集積回路の作製方法を提供する。

【0019】ここで、前記平坦化ポリマー層と前記ポリマー下部クラッド層とを1層で兼用してもよい。

【0020】

【発明の実施の形態】以下、図面を参照して、本発明の実施の形態を詳細に説明する。

【0021】〔第1の例〕本発明の第1の実施の形態を、図1～図13に基づいて説明する。

【0022】（構造）まず、本発明に適用可能な光電子集積回路の構造を、図1および図2に基づいて説明する。

【0023】図2は、光電子集積回路の平面図である。

【0024】201は、シリコンからなる電子集積回路基板である。この電子集積回路基板201上には、機能が異なる複数の回路ブロックに分割された電子集積回路203（ここでは、電子回路1～電子回路3）が形成されている。また、電子集積回路基板201上の端部には、電気配線用のボンディングパッド202が形成されている。なお、同一の電子集積回路基板201に、機能が異なる複数の回路ブロックを作製する技術は、周知の集積回路の製造方法を用いることが可能である。

【0025】電子集積回路203には、発光素子により構成される発光部204と、受光素子により構成される受光部206とが設けられている。発光素子および受光素子の構成については、図1を用いて説明する。

【0026】発光部204および受光部206の上方には、これら受発光部間の光接続を行うための光配線として、光導波路205および光路変換部207が設けられている。

【0027】また、外部回路との接続用として、外部接続用光導波路208と、光ファイバ接続部209とが設けられている。

【0028】図1は、受発光部および光配線部の詳細な集積構造を示す。

【0029】210は、電子集積回路203と発光素子、電子集積回路203と受光素子をそれぞれ電氣的に接続するためのコンタクト電極である。

【0030】211は、回路基板201と発光素子、回路基板201と受光素子とをそれぞれ張り合わせるポリイミドである。

【0031】212は、電子集積回路203と発光素子、電子集積回路203と受光素子をそれぞれ電氣的に接続するための電気配線である。この電気配線212は、必要に応じて、絶縁構造や金属が反応しないようにバリア構造を有している。

【0032】213は、発光素子としての面発光レーザであり、P型DBRミラー、活性層、n型DBRミラーによって構成される。

【0033】214は、受光素子としてのフォトダイオードであり、通常は、p型半導体、i型半導体、n型半導体によるpin構成のものを用いる。

【0034】このフォトダイオード214の上面には、低反射コーティング215が施されている。

【0035】これら面発光レーザ213およびフォトダイオード214上には、平坦化ポリマー層216が積層されている。

【0036】この平坦化ポリマー層216上には、ポリマー下部クラッド層217、ポリマーコア層218、ポリマー上部クラッド層219が順次積層されている。光導波路は、これらポリマーからなる217から219の層構造によって機能する。なお、光導波路の材料としては、これらポリマーに限定されるものではなく、周知の材料により作製できるものである。

【0037】また、光路変換部207は、適当な傾斜角で光導波路の一部を取り除いてミラーを作製することによって構成される。この光路変換部107には、ミラーとしての高反射膜220が設けられている。この高反射膜220は、面発光レーザ213からの光をポリマーコア層218に導くように光路偏向させると共に、ポリマーコア層218からの光をフォトダイオード214に導くように光路偏向させる。

【0038】この高反射膜220は、光路変換部207の光路変換損失を低減すると共に信頼性を向上させる。このような高反射膜220は、 $\text{TiO}_2$  /  $\text{SiO}_2$  等からなる誘電体多層膜、あるいは、Au, Ag, Cr, Al等の金属膜を用いることができる。

【0039】さらに、この高反射膜220には、保護膜として、光導波路と屈折率がほぼ等しい材料である $\text{SiO}_2$ の薄膜を付着させてもよい。

【0040】（製造方法）次に、本装置の作製方法を、図3～図13に基づいて説明する。

【0041】（光電融合回路基板）まず、光電融合回路基板を作製する工程（1）～（6）を、図3～図8に基づいて説明する。

【0042】図3は、第1の工程（1）を示す。

【0043】GaAs基板240上に、エピタキシャル成長によってエピタキシャル層250を形成する。

【0044】すなわち、GaAs基板240上に、第1のエッチストップ層と、面発光レーザ213の層と、第2のエッチストップ層と、フォトダイオード214の層とを、エピタキシャル成長によって形成し、これにより、エピタキシャル基板260を作製する。

【0045】エピタキシャル基板260のエピタキシャル層250の構成は、以下ようになる。

【0046】第1のエッチストップ層は、 $\text{Al}_{0.6}\text{Ga}_{0.4}\text{As}$ 層251、 $\text{InGaP}$ 層252から構成される。

【0047】面発光レーザ213の層は、n-DBR層（nドープGaAs/AlGaAsの多層構造）253と、GaAs活性層254と、p-DBR層（pドープGaAs/AlGaAsの多層構造）255とから構成される。

【0048】第2のエッチストップ層は、 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 層256から構成される。

【0049】フォトダイオード214の層は、p-GaAs層257と、i-GaAs層258と、n-GaAs

10

20

30

40

50

s層259とから構成される。

【0050】図4は、第2の工程(2)を示す。

【0051】電子集積回路基板201上の電極201aが形成された表面の凹凸を平坦化する。この平坦化は、ポリイミド201bを塗布、硬化した後に、表面研磨することによって行うことが可能である。

【0052】図5は、第3の工程(3)を示す。

【0053】図5(a)に示すように、前記エピタキシャル基板260に形成されたエピタキシャル層250と、電子集積回路基板201とを、ポリイミド211を用いて接着する。

【0054】接着後、図5(b)に示すように、接着された基板を、200℃で仮止めする。

【0055】仮止め後、図5(c)に示すように、不要なGaAs基板240を $H_2$ 、 $O_2$ 、 $NH_3$ 、 $OH$ でエッチングする。

【0056】さらに、 $Al_{0.6}Ga_{0.4}As$ 層251を $H_2SO_4 + H_2O$ でエッチングし、 $InGaP$ 層252を $HCl + H_2O$ でエッチングする。

【0057】図6は、第4の工程(4)を示す。

【0058】図6(a)は、電子集積回路基板201上にエピタキシャル層250が形成されたウエハを示す。図6(b)は、ウエハ上のチップを一部拡大して示す。図6(c)は、図6(b)のチップ断面形状を示す。図6(d)は、図6(c)を拡大して示す。

【0059】図6(a)～(b)に示すように、ウエハの電子集積回路基板201上に作製されたエピタキシャル層250を部分的にエッチングし、1～2mm角の部分に分割する。なお、このエッチング用のフォトワークの位置合わせはラフでよいので、両面位置合わせ型の露光器を用いて容易に行うことができる。

【0060】図6(c)～(d)は、エピタキシャル層250を部分的にエッチングした後の断面形状を示す。この段階で、350℃まで加熱して接着用のポリイミド211を完全に硬化させる。

【0061】また、エピタキシャル層250の無い部分に位置するポリイミド211をアッシング装置によって除去する。

【0062】これによって、予め電子集積回路基板201と同時に作られた位置合わせマーク270が分割溝部分から現れる。

【0063】図7は、第5の工程(5)を示す。

【0064】電子集積回路基板201上の位置合わせマーク270を用いて、フォトワークとエッチングを行い、面発光レーザ213およびフォトダイオード214のメサ構造を作製する。

【0065】図8は、第6の工程(6)を示す。

【0066】電子集積回路基板201と面発光レーザ213との間、および、電子集積回路基板201とフォトダイオード214との間の電気配線212を行う。この

電気配線212は、蒸着法やメッキ法を用いて行うことができる。

【0067】また、必要に応じて、フォトダイオード214上に低反射コーティングを形成してもよい。

【0068】このようにして、電子集積回路基板201上に、面発光レーザ213、フォトダイオード214、電気配線212、ポリイミド211が形成された光電融合回路基板を作製することができる。

【0069】(導波路)次に、光素子が集積された光電融合回路基板上に導波路を作製する工程(7)～(11)を、図9～図13に基づいて説明する。

【0070】図9は、第7の工程(7)を示す。

【0071】光素子が集積された光電融合回路基板上に、平坦化ポリマー層216を形成する。

【0072】この場合、光電融合回路基板上に、エポキシ系モノマーないしオリゴマーをスピンコーター等で塗布することによって、平坦化ポリマー層216を形成する。粘度を下げると、下地の凹凸に影響されず表面が平坦な層が製作される。

【0073】前述した図8に示した光電融合回路基板に設けられたフォトダイオード214までの膜厚が2ないし10ミクロン、面発光レーザ213までの膜厚が10ないし25ミクロン程度であるため、平坦化ポリマー層216層の膜厚は、その凹凸よりも厚く、5ないし50ミクロン程度である。

【0074】そして、その塗布された平坦化ポリマー層216の全面を紫外露光によって硬化させる。また、この平坦化ポリマー層216は、熱硬化型のポリマーを利用して製作してもよい。この場合には、基板全体を加熱させて平坦化ポリマー層216を硬化させる。

【0075】図10は、第8の工程(8)を示す。

【0076】平坦化ポリマー層216上に、ポリマー下部クラッド層217を、図9と同様な工程を用いて形成する。この場合、膜厚は、5～50ミクロン程度である。

【0077】なお、平坦化ポリマー層216およびポリマー下部クラッド層217は、同じ層として兼用させてもよい。

【0078】図11は、第9の工程(9)を示す。

【0079】ポリマー下部クラッド層217上に、ポリマーコア層218を形成する。

【0080】この場合、導波路のコアとして機能するように、マルチモードの場合は、屈折率が1～2%大きい組成で、ポリマーコア層218になるエポキシ系モノマーないしオリゴマーを塗布する。

【0081】ポリマーコア層218は、導波路パターンを作らなければならないので、感光性の紫外硬化型エポキシを用いた場合は、マスクによりコアとして残す部分にのみ光を照射してコア部分を硬化させ、残り部分を現像除去することによって形成する。

【0082】非感光性の熱硬化モノマーないしオリゴマーを塗布した場合には、熱硬化をさせて、通常のフォトリソグラフィ等の手段でコアパターンを作製する。

【0083】すなわち、レジストを塗布し、マスクパターンをレジスト膜に転写し、レジストをエッチングマスクとして、リアクティブイオンエッチング等のエッチング方法を用いて不要のコア層を除去し、その後レジストを除去する。

【0084】コア層の位置は、フォトリソグラフィを行うときに、電子集積回路基板 201 上のマーカを基準にして合わせる。このため、導波路の位置精度は、±0.5 ミクロン程度である。ポリマーコア層 218 の厚さは、5～100 ミクロン程度である。

【0085】また、横マルチモードの面発光レーザ 213 を用いた場合には、ポリマーコア層 218 の厚さは 20～50 ミクロン程度が適当である。横シングルモードの面発光レーザ 213 を用いた場合には、ポリマーコア層 218 の厚さは 5～30 ミクロン程度が適当である。

【0086】図 12 は、第 10 の工程 (10) を示す。

【0087】ポリマーコア層 218 上に、ポリマー上部クラッド層 219 を形成する。

【0088】この場合、ポリマー下部クラッド層 217 と同じ屈折率のポリマー層ができるような組成で、同様にエポキシ系モノマーないしオリゴマーを塗布して、全面を紫外露光して硬化させる。この層の厚さは、コア層の上部で 5～50 ミクロン程度である。

【0089】図 13 は、第 11 の工程 (11) を示す。

【0090】光路変換部 207 を、ダイシングによる切削加工を用いて作製する。

【0091】ただし、ダイシング法では、直線上に作製するため、任意の位置で、任意の向きに光路変換部 207 を形成することはできない。

【0092】また、ダイシングの位置精度は、±2 ミクロン程度であり、マルチモード面発光レーザを用いる場合は十分な精度である。ダイシングは、電子集積回路基板 201 上に設けられたマーカを用いて容易に位置合わせが可能である。

【0093】上述したように、電子集積回路基板 201、面発光レーザ 213、フォトダイオード 214、電気配線 212、ポリイミド 211 からなる光電融合回路基板の上部に、直接、ポリマー層 216～219 を形成しているので、この導波路の作製過程においてフォトリソグラフィ技術を用いて容易に位置合わせを行って作製することができる。

【0094】また、製造プロセスは、ウエハスケールで行われるので、同時に多数の光電子集積回路を作製することができると共に、多品種の素子を持つ光電子集積回路を作製することができる。

【0095】また、光路変換部 207 においても、必要な精度で通常のダイシング装置を用いて低コストに作製

することができる。

【0096】加えて、以下に列挙するような性能の抜本的改善を図ることが可能となる。

【0097】1. 導波路の入出力部と発光および受光素子との間の距離が短いため、結合効率が高くなり、また、フォトダイオード 214 が低容量 (約 0.1 pF) で電子集積回路 203 に集積されているため、電子集積回路 203 の受信回路を高速で動作するように設計することが可能となる。従って、電子集積回路 203 のクロックと同等程度の速度で、信号を光信号として電子回路に入力することができる。

【0098】2. 面発光レーザ 213 は、低容量 (約 0.1 pF) でかつ低インダクタンス (約 0.1 nH) で集積されているので、高速な変調を容易に駆けることが可能である。従って、電子集積回路 203 のクロックと同等程度の速度で、信号を光信号として電子集積回路 203 から出力することができる。

【0099】すなわち、本例では、幾つかの電子集積回路 203 間において、発光素子および受光素子と、それらに付随する光送信回路および光受信回路とは光導波路によって接続されているが、このような光配線を採用したことによって、各電子回路のインピーダンス整合が不要であり、Gb/s 以上の超高速性、低消費電力化を図ることができるという利点を有している。

【0100】このようなことから、本例の電子集積回路 203 は、従来の電子集積回路のみを用いたシステム LSI に比較して、大容量の信号処理を高速に行うことができ、性能の抜本的改善を図ることができる。

【0101】また、光信号によって外部の装置や回路と通信ができるので、いわゆるピンボトルネックによる帯域制限を回避できる。

【0102】なお、本例では、発光素子と受光素子の両方を集積した回路構成としたが、どちらか一方を集積した回路構成としても、本発明に適用できるものである。

【0103】〔第 2 の例〕次に、本発明の第 2 の実施の形態を、図 14 に基づいて説明する。なお、前述した第 1 の実施の形態と同一部分についての説明は省略し、同一部分には同一符号を付す。

【0104】本例では、光導波路を構成する光路変換部 207 の作製方法を変えたものである。

【0105】図 14 (a) に示すように、ポリマー上部クラッド層 219 上に、エッチングマスク層 221 をフォトリソグラフィで製作する。その後、斜め方向からイオン流を当ててリアクティブイオンエッチングを行うことにより、図 14 (b) に示すような、光路変換部 207 を作製することができる。

【0106】このようにフォトリソグラフィ技術を用いることにより、ミラー (図 2 の高反射膜 220 参照) の位置精度を、第 1 の例よりも高く設定することができる。



【0107】〔第3の例〕次に、本発明の第3の実施の形態を、図15に基づいて説明する。なお、前述した第1および第2の実施の形態と同一部分についての説明は省略し、同一部分には同一符号を付す。

【0108】本例では、光導波路を、複数の導波路層により形成したものである。

【0109】すなわち、前述した217～219の第1の導波路層に加え、第2の導波路層を作製する。

【0110】第2の導波路層は、第2のポリマー下部クラッド層223、第2のポリマーコア層224、第2のポリマー上部クラッド層225とから構成される。222は、各コア層の間のクラッド層である。

【0111】なお、各コア層の間のクラッド層、例えば、219と222は同じ層で兼用してもよい。さらに、第3以降の導波路層があってもよい。

【0112】このように光導波路の交差を別の層の導波路を用いることによって構成できるので、導波路間のクロストークを低減することができる。しかも、高密度な光配線を行うことができる。

【0113】

【発明の効果】以上説明したように、本発明によれば、電子素子と光素子とを集積化した光電融合回路基板上に、平坦化ポリマー層とポリマー下部クラッド層とポリマーコア層とポリマー上部クラッド層とからなる少なくとも1つの光導波路層を積層し、該光導波路層内に光導波路および光路変換部からなる光導波路回路を設けたので、複数の電子回路が光配線によって接続され、大容量で高速の信号処理を行うことが可能な光電子集積回路を高精度にかつ低コストに作製することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態である光電子集積回路の構成を示す縦断正面図である。

【図2】光電子集積回路の構成を示す平面図である。

【図3】GaAs基板上に形成されたエピタキシャル層の構成を示す断面図である。

【図4】電子集積回路基板の断面図である。

【図5】電子集積回路基板上にエピタキシャル層を貼り合わせる工程を示す断面図である。

【図6】図5に続く工程であり、エピタキシャル層をエッチングしたときの断面図である。

【図7】図6に続く工程であり、電子集積回路基板上にエッチングによって受発光素子を作製したときの縦断正

面図である。

【図8】図7に続く工程であり、受発光素子と電子集積回路基板とを電氣的に接続したときの縦断正面図である。

【図9】図8に続く工程であって、平坦化ポリマー層を形成する工程を示す断面形状であり、(a)は縦断正面図、(b)は縦断側面図である。

【図10】図9に続く工程であって、ポリマー下部クラッド層を形成する工程を示す断面形状であり、(a)は縦断正面図、(b)は縦断側面図である。

【図11】図10に続く工程であって、ポリマーコア層を形成する工程を示す断面形状であり、(a)は縦断正面図、(b)はエッチング前の縦断側面図、(c)はエッチング後の縦断側面図である。

【図12】図11に続く工程であり、ポリマー上部クラッド層を形成する工程を示す断面形状であり、(a)は縦断正面図、(b)は縦断側面図である。

【図13】図12に続く工程であり、ダイシングにより光路変換部を形成する工程を示す断面形状であり、(a)は縦断正面図、(b)は縦断側面図である。

【図14】本発明の第2の実施の形態であるイオンエッチングにより形成された光路変換部を示す断面図である。

【図15】本発明の第3の実施の形態である第2の導波路層を形成した場合の断面図である。

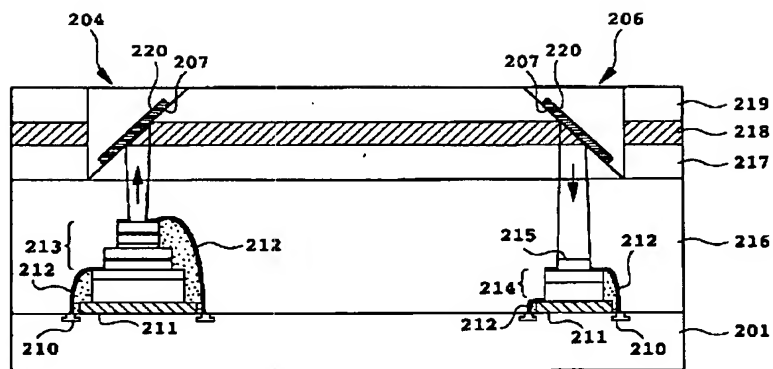
【図16】第1の従来例を示す断面図である。

【図17】第2の従来例を示す斜視図である。

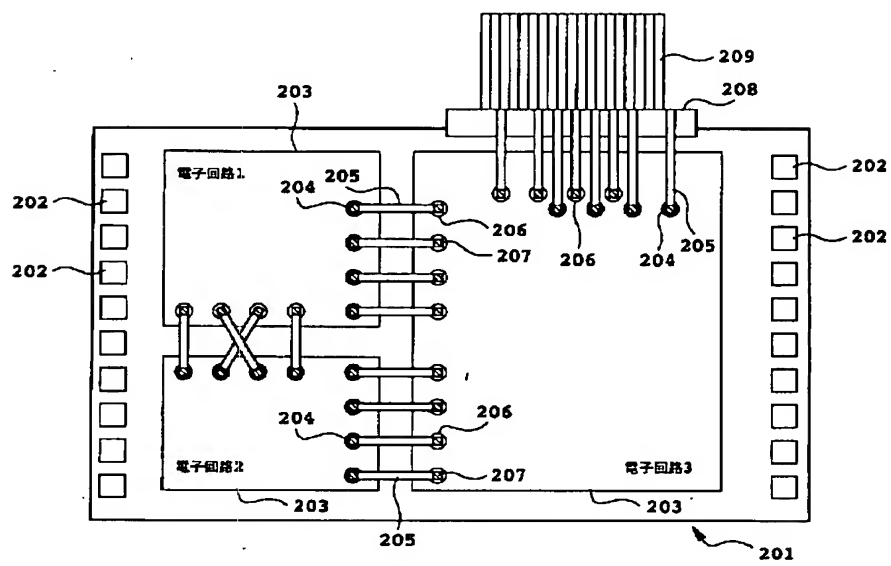
【符号の説明】

- 201 電子集積回路基板
- 203 電子集積回路
- 207 光路変換部
- 211 ポリイミド
- 213 面発光レーザ
- 214 フォトダイオード
- 217 ポリマー下部クラッド層
- 218 ポリマーコア層
- 219 ポリマー上部クラッド層
- 223 ポリマー下部クラッド層
- 224 ポリマーコア層
- 225 ポリマー上部クラッド層
- 220 高反射膜
- 250 エピタキシャル層

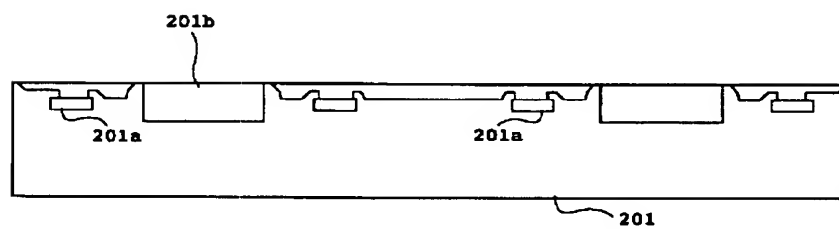
【図 1】



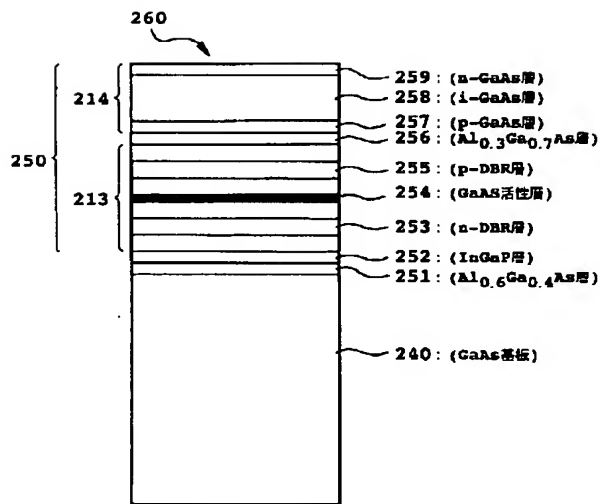
【図 2】



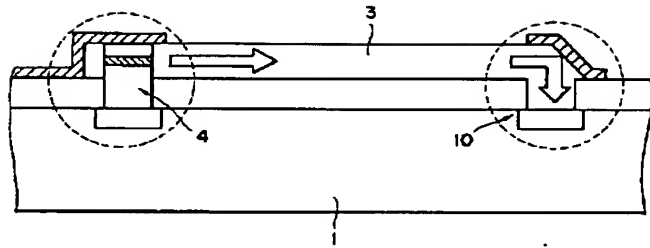
【図 4】



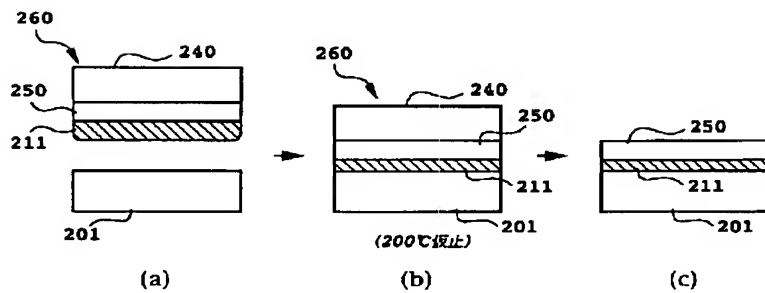
【図 3】



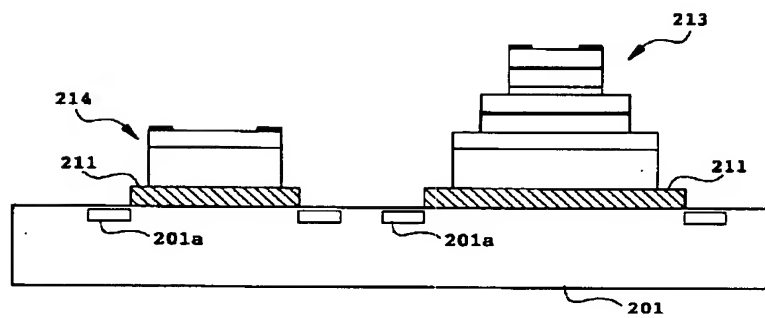
【図 16】



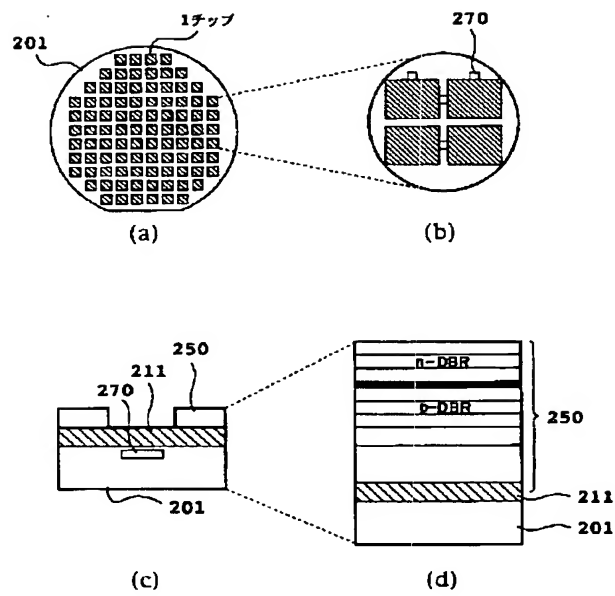
【図 5】



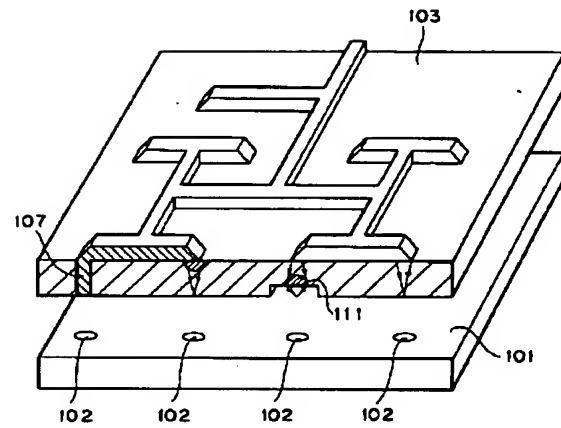
【図 7】



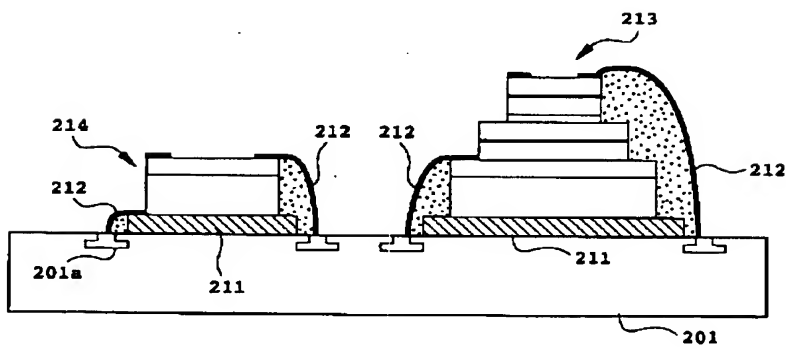
【図6】



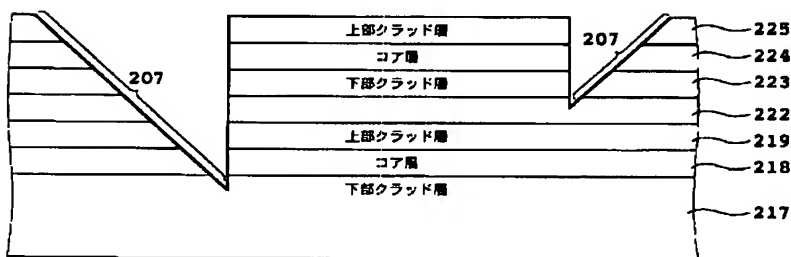
【図17】



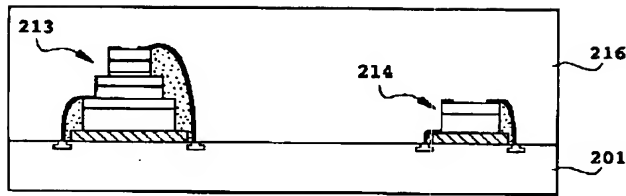
【図8】



【図15】

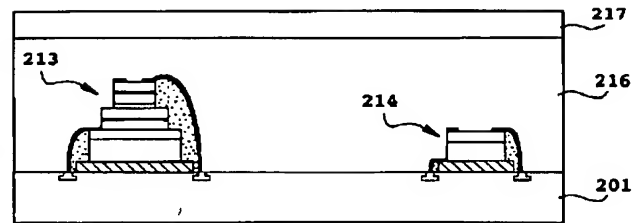


【図 9】

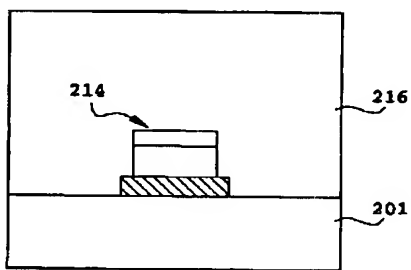


(a)

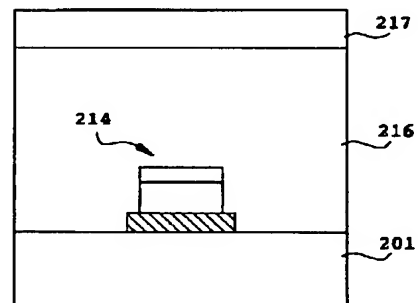
【図 10】



(a)

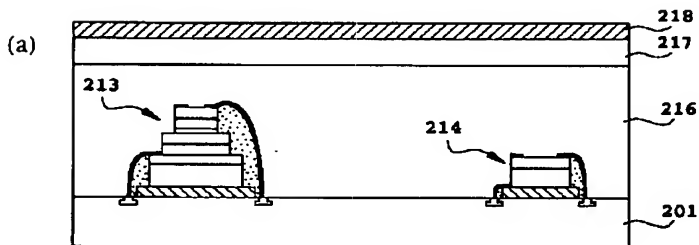


(b)

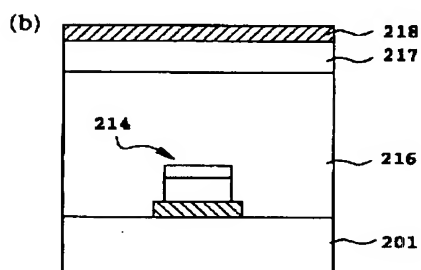


(b)

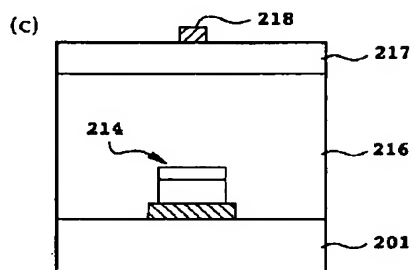
【図 11】



(a)

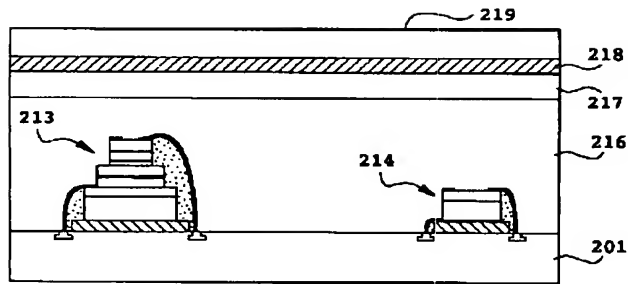


(b)

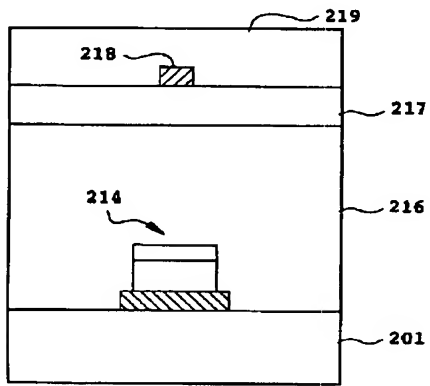


(c)

【図 12】

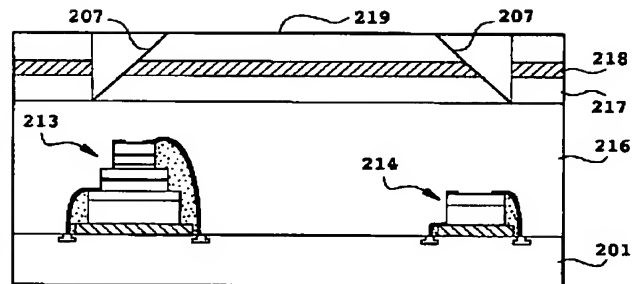


(a)

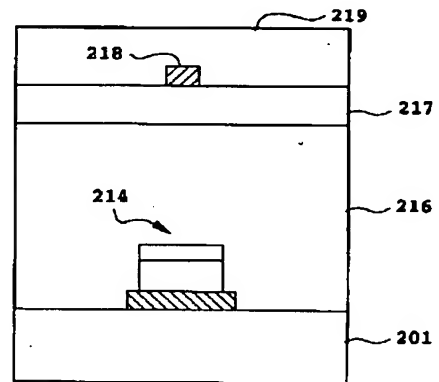


(b)

【図 13】

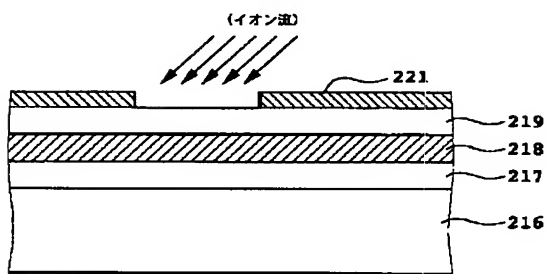


(a)

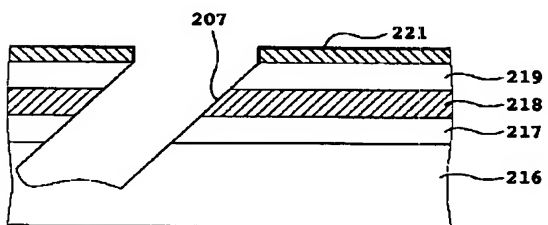


(b)

【図 14】



(a)



(b)

## 【手続補正書】

【提出日】平成12年3月21日（2000. 3. 21）

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 電極および位置合わせマークが形成された電子集積回路基板の基板表面の凹凸を平坦化し、該平坦化された電子集積回路基板の基板表面とエピタキシャル基板に形成されたエピタキシャル層の一面とを接着し、該接着されたエピタキシャル基板をエッチングすることによって前記電子集積回路基板上に前記エピタキシャル層の接着されていない側の他面が表面層として形成されたウエハを作製する工程と、

前記作製されたウエハの表面層とされた前記エピタキシャル層を部分的にエッチングして分割溝を形成し、該分割溝から下方に位置する前記電子集積回路基板に形成された前記位置合わせマークを露出し、該露出した位置合わせマークを用いてフォトリソグラフィおよびエッチングを行って光素子のメサ構造を形成することによって該光素子が集積された光電融合回路基板を作製する工程と、前記光電融合回路基板上にモノマーあるいはオリゴマーを塗布して平坦化ポリマー層を形成する工程と、前記平坦化ポリマー層上にモノマーあるいはオリゴマーを塗布してポリマー下部クラッド層を形成する工程と、前記ポリマー下部クラッド層上にモノマーあるいはオリゴマーを塗布してポリマーコア層を形成する工程と、前記ポリマーコア層を前記位置合わせマークを基準にして合わせたフォトリソグラフィによりパターンニングして導波路パターンを形成する工程と、

前記パターンニングされた導波路パターン上にモノマーあるいはオリゴマーを塗布して該導波路パターンを埋め込み、ポリマー上部クラッド層を形成する工程と、前記導波路パターン中に光路変換部をダイシングによって形成する工程とを具え、

前記光電融合回路基板上に、前記ポリマー下部クラッド層と前記導波路パターンと前記ポリマー上部クラッド層とからなる光導波路、および、前記光路変換部を有する光導波路回路を直接形成したことを特徴とする光電子集積回路の作製方法。

【請求項2】 電極および位置合わせマークが形成された電子集積回路基板の基板表面の凹凸を平坦化し、該平坦化された電子集積回路基板の基板表面とエピタキシャル基板に形成されたエピタキシャル層の一面とを接着し、該接着されたエピタキシャル基板をエッチングすることによって前記電子集積回路基板上に前記エピタキシャル層の接着されていない側の他面が表面層として形成

されたウエハを作製する工程と、

前記作製されたウエハの表面層とされた前記エピタキシャル層を部分的にエッチングして分割溝を形成し、該分割溝から下方に位置する前記電子集積回路基板に形成された前記位置合わせマークを露出し、該露出した位置合わせマークを用いてフォトリソグラフィおよびエッチングを行って光素子のメサ構造を形成することによって該光素子が集積された光電融合回路基板を作製する工程と、前記光電融合回路基板上にモノマーあるいはオリゴマーを塗布して平坦化ポリマー層を形成する工程と、前記平坦化ポリマー層上にモノマーあるいはオリゴマーを塗布してポリマー下部クラッド層を形成する工程と、前記ポリマー下部クラッド層上にモノマーあるいはオリゴマーを塗布してポリマーコア層を形成する工程と、前記ポリマーコア層を前記位置合わせマークを基準にして合わせたフォトリソグラフィによりパターンニングして導波路パターンを形成する工程と、

前記パターンニングされた導波路パターン上にモノマーあるいはオリゴマーを塗布して該導波路パターンを埋め込み、ポリマー上部クラッド層を形成する工程と、前記導波路パターン中に光路変換部をフォトリソグラフィによって形成する工程とを具え、

前記光電融合回路基板上に、前記ポリマー下部クラッド層と前記導波路パターンと前記ポリマー上部クラッド層とからなる光導波路、および、前記光路変換部を有する光導波路回路を直接形成したことを特徴とする光電子集積回路の作製方法。

【請求項3】 請求項1又は2記載の光電子集積回路の作製方法を用いて作製された光電子集積回路であって、電子素子とメサ構造の光素子とを集積化した光電融合回路基板と、

前記光素子と光接続を行うために前記光電融合回路基板上に直接形成され、ポリマー下部クラッド層と導波路パターンとポリマー上部クラッド層とからなる光導波路、および、該光導波路と前記光素子との間で光の進行方向を変える光路変換部を有する光導波路回路とを具え、請求項1又は2記載の半導体プロセス技術を用いて、前記光電融合回路基板上に前記光導波路回路を直接形成したことを特徴とする光電子集積回路。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】

【課題を解決するための手段】本発明は、電極および位置合わせマークが形成された電子集積回路基板の基板表面の凹凸を平坦化し、該平坦化された電子集積回路基板の基板表面とエピタキシャル基板に形成されたエピタキ

シャル層の一面とを接着し、該接着されたエピタキシャル基板をエッチングすることによって前記電子集積回路基板上に前記エピタキシャル層の接着されていない側の他面が表面層として形成されたウエハを作製する工程と、前記作製されたウエハの表面層とされた前記エピタキシャル層を部分的にエッチングして分割溝を形成し、該分割溝から下方に位置する前記電子集積回路基板に形成された前記位置合わせマークを露出し、該露出した位置合わせマークを用いてフォトリソグラフィおよびエッチングを行って光素子のメサ構造を形成することによって該光素子が集積された光電融合回路基板を作製する工程と、前記光電融合回路基板上にモノマーあるいはオリゴマーを塗布して平坦化ポリマー層を形成する工程と、前記平坦化ポリマー層上にモノマーあるいはオリゴマーを塗布してポリマー下部クラッド層を形成する工程と、前記ポリマー下部クラッド層上にモノマーあるいはオリゴマーを塗布してポリマーコア層を形成する工程と、前記ポリマーコア層を前記位置合わせマークを基準にして合わせたフォトリソグラフィによりパターンニングして導波路パターンを形成する工程と、前記パターンニングされた導波路パターン上にモノマーあるいはオリゴマーを塗布して該導波路パターンを埋め込み、ポリマー上部クラッド層を形成する工程と、前記導波路パターン中に光路変換部をダイシングによって形成する工程とを具え、前記光電融合回路基板上に、前記ポリマー下部クラッド層と前記導波路パターンと前記ポリマー上部クラッド層とからなる光導波路、および、前記光路変換部を有する光導波路回路を直接形成することによって、光電子集積回路の作製方法を提供する。本発明は、電極および位置合わせマークが形成された電子集積回路基板の基板表面の凹凸を平坦化し、該平坦化された電子集積回路基板の基板表面とエピタキシャル基板に形成されたエピタキシャル層の一面とを接着し、該接着されたエピタキシャル基板をエッチングすることによって前記電子集積回路基板上に前記エピタキシャル層の接着されていない側の他面が表面層として形成されたウエハを作製する工程と、前記作製されたウエハの表面層とされた前記エピタキシャル層を部分的にエッチングして分割溝を形成し、該分割溝から下方に位置する前記電子集積回路基板に形成された前記位置合わせマークを露出し、該露出した位置合わせマークを用いてフォトリソグラフィおよびエッチングを行って光素子のメサ構造を形成することによって該光素子が集

積された光電融合回路基板を作製する工程と、前記光電融合回路基板上にモノマーあるいはオリゴマーを塗布して平坦化ポリマー層を形成する工程と、前記平坦化ポリマー層上にモノマーあるいはオリゴマーを塗布してポリマー下部クラッド層を形成する工程と、前記ポリマー下部クラッド層上にモノマーあるいはオリゴマーを塗布してポリマーコア層を形成する工程と、前記ポリマーコア層を前記位置合わせマークを基準にして合わせたフォトリソグラフィによりパターンニングして導波路パターンを形成する工程と、前記パターンニングされた導波路パターン上にモノマーあるいはオリゴマーを塗布して該導波路パターンを埋め込み、ポリマー上部クラッド層を形成する工程と、前記導波路パターン中に光路変換部をフォトリソグラフィによって形成する工程とを具え、前記光電融合回路基板上に、前記ポリマー下部クラッド層と前記導波路パターンと前記ポリマー上部クラッド層とからなる光導波路、および、前記光路変換部を有する光導波路回路を直接形成することによって、光電子集積回路の作製方法を提供する。本発明は、上記光電子集積回路の作製方法を用いて作製された光電子集積回路であって、電子素子とメサ構造の光素子とを集積化した光電融合回路基板と、前記光素子と光接続を行うために前記光電融合回路基板上に直接形成され、ポリマー下部クラッド層と導波路パターンとポリマー上部クラッド層とからなる光導波路、および、該光導波路と前記光素子との間で光の進行方向を変える光路変換部を有する光導波路回路とを具え、上記半導体プロセス技術を用いて、前記光電融合回路基板上に前記光導波路回路を直接形成することによって、光電子集積回路を構成する。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】削除

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】削除

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】削除

フロントページの続き

(72)発明者 坂本 尊

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72)発明者 天野 主税

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内



(72)発明者 疋田 真  
東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72)発明者 都丸 暁  
東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72)発明者 圓佛 晃次  
東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

Fターム(参考) 2H047 KA03 LA09 MA07 PA02 PA21  
PA24 PA28 QA05 TA04 TA05  
TA27 TA35 TA44

5F041 AA02 CA35 CA64 CA74 CA91  
CA93 CB01 CB15 CB31 CB32  
CB36 DA83 EE01 EE23

5F088 AA01 AB07 BA02 CB03 CB14  
DA11 DA17 EA06 EA09 EA16  
EA20 FA09 GA05 HA09 HA20  
JA03 JA14

5F089 AA06 AB01 AB13 AC05 AC08  
AC10 AC13 AC16 BB03 BC02  
BC16 CA04 CA12